

**УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ
«БАРАНОВИЧСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»**

**ПРОГРАММА
ВСТУПИТЕЛЬНЫХ ИСПЫТАНИЙ
ПО ДИСЦИПЛИНЕ
«ОРГАНИЗАЦИЯ И ФУНКЦИОНИРОВАНИЕ ЭВМ»
ДЛЯ АБИТУРИЕНТОВ ИНЖЕНЕРНОГО ФАКУЛЬТЕТА
специальность 1-40 05 01 «ИНФОРМАЦИОННЫЕ СИСТЕМЫ
И ТЕХНОЛОГИИ»
(на базе среднего специального образования)**

Заочная форма получения образования

Барановичи 2018

Общие положения

Программа вступительных испытаний для абитуриентов учреждения образования «Барановичский государственный университет» (далее – БарГУ) разработана согласно «Правил приема лиц для получения высшего образования I ступени и среднего специального образования», утвержденных Указом Президента Республики Беларусь 7 февраля 2006 года №80 (в редакции Указов Президента Республики Беларусь №70 от 8 февраля 2008 г., №52 от 23 января 2009 г., №243 от 12 мая 2009 г., №275 от 2 июня 2009 г., №200 от 26 апреля 2010 г., №109 от 14 марта 2011 г., №212 от 23 мая 2011г., №621 от 30 декабря 2011 г., №130 от 20 марта 2014 г., №375 от 28 августа 2015 г., №4 от 09 января 2017 г.)

Содержание вступительных испытаний соответствует учебным программам: «Организация ЭВМ и систем» для учреждений, обеспечивающих получение среднего специального образования по специальности 2-40 01 01 «Программное обеспечение информационных технологий» (Минск, РИПО, 2008); «Прикладное программное обеспечение» для учреждений, обеспечивающих получение среднего специального образования по специальности 2-40 01 01 «Программное обеспечение информационных технологий» (Минск, РИПО, 2007).

Целью вступительного испытания по Организации и функционированию ЭВМ является качественный отбор абитуриентов для получения образования на инженерном факультете БарГУ по специальности 1-40 05 01 «Информационные системы и технологии».

Достижение данной цели требует решения следующих задач: определение уровня подготовки абитуриентов; обеспечение объективной оценки качества подготовки абитуриентов.

На вступительных испытаниях абитуриенты должны показать:

- знаний о принципах организации вычислительного процесса, конструктивных особенностях, технических и эксплуатационных характеристиках современных вычислительных средств;

- профессиональную компетентность в области организации и функционирования ЭВМ, микропроцессорной техники.

Абитуриенты, которые не смогли явиться на вступительные испытания по уважительным причинам (болезнь или другие непредвиденные, подтвержденные документально обстоятельства, препятствующие участию во вступительных испытаниях) по решению приемной комиссии высшего учебного заведения допускаются к их сдаче в пределах сроков, определенных расписанием вступительных испытаний.

СОДЕРЖАНИЕ УЧЕБНОГО МАТЕРИАЛА

Тема 1 ВВЕДЕНИЕ

Философская сущность понятия «информация». Единицы измерения информации. Математическая, логическая и физическая сущность единицы информации. Аналоговые и дискретные сигналы. Цифровая схемотехника.

Тема 2 ПРИНЦИПЫ ОРГАНИЗАЦИИ ЭВМ

Поколения ЭВМ. Классическая архитектура ЭВМ. Принципы структурного описания.

Принципы Дж. фон Неймана. Программа, команда, дрес команды.

Тема 3 АРИФМЕТИЧЕСКИЕ ОСНОВЫ ЭВМ

Кодирование текстовой информации в форматах ASCII, Unicode. Структура и назначение таблиц кодировок символов. Таблица кодов ASCII (CP-866, CP-1251). Компьютерная графика. Растровый и векторный способы кодирования графической информации. Типы графических файлов. Основные способы сжатия графической информации. Представление звука в ЭВМ. Алфавит и его мощность. Виды систем счисления. Основание позиционной системы счисления. Естественная форма представления чисел. Представление чисел в формате с фиксированной точкой. Представление целых знаковых и беззнаковых чисел в машинных кодах. Прямой, обратный и дополнительный коды числа. Нормальная форма представления чисел. Нормализованное число. Мантисса. Характеристика. Скрытая единица. Представление чисел в формате с плавающей точкой.

Коды с выявлением ошибок. Допустимые кодовые наборы. Проверка на четность. Контрольный разряд четности. Геометрическая интерпретация корректирующих кодов. Пространство Хемминга. Минимальное кодовое расстояние. Построение n -разрядного кода с выявлением ошибок (использование геометрической модели). Коды с исправлением ошибок. Общее число комбинаций. Запрещенные комбинации. Основные принципы построения кодов Хемминга с исправлением ошибок. Корректирующая способность кода. Определение положения ошибки в коде.

Тема 4 АЛГЕБРА ЛОГИКИ И ТЕОРЕТИЧЕСКИЕ ОСНОВЫ СИНТЕЗА ЦИФРОВЫХ УСТРОЙСТВ

Алгебра. Булева алгебра. Аксиомы булевой алгебры. Модели булевой алгебры (алгебра логики, алгебра множеств, алгебра контактных схем). Изоморфизм. Изоморфные алгебры. Основные понятия алгебры логики. Определение, условное обозначение и таблицы истинности логических операций «отрицание», «конъюнкция», «дизъюнкция», «импликация», «эквивалентность». Приоритеты логических операций. Функции алгебры логики.

Способы описания функций алгебры логики: словесное описание, в виде таблиц истинности, в виде алгебраического выражения, в виде

последовательности десятичных чисел. Элементарная конъюнкция, дизъюнкция. Ранг логической функции. Минтерм. Макстерм. Канонические формы логической функции: конъюнктивная нормальная форма (КНФ), (ДНФ), совершенная конъюнктивная нормальная форма (СКНФ), совершенная дизъюнктивная нормальная форма (СДНФ).

Булевы функции от одной и двух переменных, условное графическое обозначение (УГО) соответствующих им элементарных электронных схем (вентилей). Принцип двойственности. Функционально полные системы (И, НЕ), (ИЛИ, НЕ), (ИЛИ, И, НЕ), (ИЛИ-НЕ), (И-НЕ). Логический базис. Полный базис. Минимальный базис. Базисы, используемые в теории синтеза комбинационных схем. Назначения и свойства цифровых автоматов. Комбинационные схемы (КС), или автоматы без памяти. Последовательностные схемы, или автоматы с памятью. Полный автомат. Автомат Мили. Автомат Мура.

Метод непосредственных преобразований на основе законов алгебры логики. Метод карт Карно-Вейча. Метод Квайна и Мак-Класки.

Тема 5 ЭЛЕМЕНТЫ И УЗЛЫ ЭВМ

Запоминающие элементы – триггеры. Классификация по способу приема информации (синхронные, асинхронные), по функциональному признаку (RS-, D-, T-, JK-триггеры). Общие характеристики. Таблицы состояний RS-, D-, T-, JK-триггеров. Условные графические обозначения (УГО). Схемы реализации (базис ИЛИ-НЕ, базис И-НЕ).

Виды регистров. Устройство, назначение и функционирование регистров. Схемы построения. УГО. Примеры реализации. Схемы параллельного и последовательного способов передачи информации в регистрах. Схема функционирования регистров сдвига.

Виды счетчиков и их назначение. Синхронный счетчик по mod M. Счетчики с переменным коэффициентом пересчета. Реверсивные счетчики.

Назначение шифраторов и дешифраторов. Их виды. Схемы реализации этих узлов и их УГО.

Назначение мультиплексоров и демультимплексоров. Схемы реализации этих узлов. УГО.

Назначение и устройство компаратора. Схема реализации. УГО. Назначение одноразрядного сумматора и полусумматора. Последовательные и параллельные сумматоры. Принципы их функционирования.

Тема 6 ОРГАНИЗАЦИЯ УСТРОЙСТВ ЭВМ

Устройство управления. Структура УУ: дешифратор команд и формирователь сигналов управления. Функции устройства управления.

Арифметико-логическое устройство (АЛУ). Структура АЛУ: микропрограммное устройство, операционное устройство. Операции АЛУ. Классификация АЛУ.

Тема 7 АРХИТЕКТУРА МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Понятия: микропроцессор, микропроцессорная система, универсальные микропроцессоры, однокристальные и секционные микропроцессоры, электронная система, задача, быстродействие, гибкость, избыточность, интерфейс, сопряжение, «жесткая логика», «программная логика». Организация и архитектура вычислительных машин и систем.

Информационные потоки в микропроцессорной системе. Суть шинной структуры связей. Типичная структура микропроцессорной системы. Системная шина. Режимы обмена по магистрали:

- программный обмен информацией;
- обмен с использованием прямого доступа к памяти.

Внутренняя структура и логика функционирования процессора. Основные принципы построения микропроцессорных систем (магистральности, модульности, микропрограммного управления). Арифметико-логическое устройство, функциональные регистры общего назначения. Основные функции устройства управления. Система команд процессора. Одношинная или принстонская (фоннеймановская) архитектура микропроцессорных систем. Двухшинная или гарвардская архитектура микропроцессорных систем.

Тема 8. УНИВЕРСАЛЬНЫЕ МИКРОПРОЦЕССОРЫ

Структурная схема CPU i8086, i8088, i80286. Устройство сопряжения с длиной. Устройство обработки. Классификация и назначение внутренних регистров процессоров i8086 i8086, i8088, i80286. Флаги состояния и управляющие флаги регистра флагов.

Система команд CPU i8086. Основы программирования на языке ассемблер. Общие сведения о базовых конструкциях языка Ассемблер для CPU i8086. представление и описание данных. Разделители. Исполняемые и неисполняемые операторы. Структура ассемблерной команды (поля). Директивы. Внутренний формат команды. Назначение полей. Метка, истинная метка. Основные группы инструкций. Способы адресации.

Понятие прерывания. Вектор прерывания. Таблица векторов прерываний, размещение ее в оперативной памяти. Типы прерываний. Функционирование контроллера прерываний. Механизм обработки прерываний процессором. Роль стека в обработке прерываний. Команда вызова прерываний (INT).

Особенности работы в защищенном режиме работы процессора. Многозадачность. Поток. Ресурс. Программная модель 32-разрядных процессоров.

Режимы работы микропроцессора: реальный, защищенный, виртуальный режим. Переключение между режимами. Объем виртуального адресного пространства. Организация защиты памяти.

Сравнительная характеристика процессоров Pentium, Pentium II, Pentium III, Pentium IV. Основные характеристики процессоров шестого поколения. Двойная независимая шина DIB. Технология динамического исполнения

команд. Блоки предсказания ветвлений. Конвейеризация вычислений. Суперскалярная архитектура. Расширение системы команд группами SSE., SSE.2, SSE.3. Технология Hyper Treading. использование гарвардской структуры. Трехуровневая кэш-память.

Тема 9. ОДНОКРИСТАЛЬНЫЕ МИКРОЭВМ И МИКРОКОНТРОЛЛЕРЫ

Однокристалльная микроЭВМ. Микроконтроллер. Организация микроконтроллеров. Архитектура микроконтроллера. Виды архитектур микроконтроллеров.

CISC-архитектура, реализующая полную систему команд. Формат команд. Регистры. Методы адресации в микроконтроллерах с CISC-архитектурой.

RISC-архитектура, реализующая сокращенную систему команд. Формат команд. Регистры. Методы адресации в микроконтроллерах с RISC-архитектурой.

Тема 10. ПАМЯТЬ МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Характеристика систем памяти. Иерархия запоминающих устройств. Взаимодействие запоминающих устройств различных уровней в составе ЭВМ.

Статическая (SRAM) и динамическая (DRAM) память. Регенерация памяти. Основная память. Цикл памяти. Типы микросхем динамической памяти. Кэш-память. Уровни (L1, L2, L3), назначение и размещение кэш-памяти. Емкость кэш-памяти. Размер строки. Способы отображения оперативной памяти на кэш-память. Алгоритмы замещения информации в заполненной кэш-памяти. Алгоритмы согласования содержимого кэш-памяти и основной памяти. Смешанная и разделенная кэш-память. Одноуровневая и многоуровневая кэш-память. Принципы функционирования стека. Структура LIFO. Вершина и дно стека. Объем стека. Адресация ячеек стека. Назначение регистров SS, SP и BP при работе со стеком. Команды записи в стек (PUSH) и чтения из стека (POP). Механизм обработки программ процессором. Команды CALL и RET, особенности их функционирования.

Тема 11. СИСТЕМА ВВОДА-ВЫВОДА МИКРОПРОЦЕССОРНЫХ СИСТЕМ

Подсистема ввода-вывода. Адресное пространство ввода-вывода. Внешние устройства. Порты ввода-вывода. Принципиальные отличия адресного пространства памяти и адресного пространства подсистемы ввода-вывода.

Методы управления вводом-выводом. Программно управляемый ввод-вывод. Ввод-вывод по прерываниям.

Тема 12. АРХИТЕКТУРА ВЫЧИСЛИТЕЛЬНЫХ СИСТЕМ

Информационно-вычислительная система. Архитектура ОКОД (SISD), Архитектура ОКМД (SIMD), Архитектура МКОД (MISD), Архитектура МКМД (MIMD).

Типовые структуры ИВС: малые компьютеры (миниЭВМ), микрокомпьютеры (микроЭВМ), персональные компьютеры (ПК), суперкомпьютеры.

Многомашинная и многопроцессорная ВС. Общая оперативная память. Распределенная память. Суперкомпьютеры и особенности их архитектуры. Программное обеспечение многопроцессорных ВС.

Вопросы, раскрывающие содержание каждой темы:

1. Философская сущность понятия «информация». Единицы измерения информации. Математическая, логическая и физическая сущность единицы информации.
2. Аналоговые и дискретные сигналы. Цифровая схемотехника.
3. Поколения ЭВМ. Классическая архитектура ЭВМ.
4. Принципы Дж. фон Неймана. Программа, команда, адрес команды.
5. Кодирование текстовой информации в форматах ASCII, Unicode.
6. Структура и назначение таблиц кодировок символов. Таблица кодов ASCII (CP-866, CP-1251).
7. Компьютерная графика. Растровый и векторный способы кодирования графической информации.
8. Типы графических файлов. Основные способы сжатия графической информации.
9. Виды систем счисления. Основание позиционной системы счисления.
10. Пространство Хемминга.
11. Минимальное кодовое расстояние. Построение n-разрядного кода с выявлением ошибок (использование геометрической модели).
12. Булева алгебра. Аксиомы булевой алгебры.
13. Модели булевой алгебры (алгебра логики, алгебра множеств, алгебра контактных схем).
14. Основные понятия алгебры логики.
15. Определение, условное обозначение и таблицы истинности логических операций «отрицание», «конъюнкция», «дизъюнкция», «импликация», «эквивалентность». Приоритеты логических операций.
16. Способы описания функций алгебры логики: словесное описание, в виде таблиц истинности, в виде алгебраического выражения, в виде последовательности десятичных чисел.
17. Элементарная конъюнкция, дизъюнкция. Ранг логической функции.
18. Канонические формы логической функции.
19. Функционально полные системы (И, НЕ), (ИЛИ, НЕ), (ИЛИ, И, НЕ),

(ИЛИ-НЕ), (И-НЕ).

20. Отладка программ и обработка ошибок.

21. Метод непосредственных преобразований на основе законов алгебры логики.

22. Запоминающие элементы – триггеры.

23. Классификация по способу приема информации (синхронные, асинхронные), по функциональному признаку (RS-, D-, T-, JK-триггеры).

24. Виды регистров. Устройство, назначение и функционирование регистров.

25. Виды счетчиков и их назначение.

26. Назначение шифраторов и дешифраторов. Их виды.

27. Назначение мультиплексоров и демультимплексоров.

28. Назначение и устройство компаратора.

29. Назначение одноразрядного сумматора и полусумматора.

Последовательные и параллельные сумматоры.

30. Устройство управления. Структура УУ: дешифратор команд и формирователь сигналов управления.

31. Арифметико-логическое устройство (АЛУ).

32. Структура АЛУ: микропрограммное устройство, операционное устройство.

33. Операции АЛУ. Классификация АЛУ.

34. Организация и архитектура вычислительных машин и систем.

35. Информационные потоки в микропроцессорной системе. Суть шинной структуры связей.

36. Типичная структура микропроцессорной системы. Системная шина.

37. Внутренняя структура и логика функционирования процессора.

Основные принципы построения микропроцессорных систем.

38. Арифметико-логическое устройство, функциональные регистры общего назначения. Основные функции устройства управления.

39. Структурная схема CPU i8086, i8088, i80286.

40. Система команд CPU i8086. Основы программирования на языке ассемблер.

41. Понятие прерывания. Вектор прерывания.

42. Режимы работы микропроцессора: реальный, защищенный, виртуальный режим.

43. Однокристалльная микроЭВМ. Микроконтроллер.

44. CISC-архитектура, реализующая полную систему команд. Формат команд. Регистры.

45. RISC-архитектура, реализующая сокращенную систему команд. Формат команд. Регистры.

46. Характеристика систем памяти. Иерархия запоминающих устройств.

47. Статическая (SRAM) и динамическая (DRAM) память.

48. Регенерация памяти. Основная память. Цикл памяти.

49. Кэш-память. Уровни (L1, L2, L3), назначение и размещение кэш-памяти. Емкость кэш-памяти.

50. Принципы функционирования стека. Структура LIFO. Вершина и дно стека.
51. Подсистема ввода-вывода. Адресное пространство ввода-вывода.
52. Внешние устройства. Порты ввода-вывода.
53. Методы управления вводом-выводом.
54. Информационно-вычислительная система.
55. Архитектура ОКОД (SISD), Архитектура ОКМД (SIMD), Архитектура МКОД (MISD), Архитектура МКМД (MIMD).
56. Типовые структуры информационно-вычислительных систем.
57. Многомашинная и многопроцессорная ВС.
58. Общая оперативная память. Распределенная память.
59. Суперкомпьютеры и особенности их архитектуры.
60. Программное обеспечение многопроцессорных ВС.

СПИСОК РЕКОМЕНДУЕМЫХ ИСТОЧНИКОВ

1. *Бройдо, В.Л.* Архитектура ЭВМ и систем: учебник для вузов / В.Л. Бройдо, О.П. Ильина. Санкт-Петербург, 2009.
2. *Буйко, Е.В.* Схемотехника электронных систем. Цифровые устройства / В.И. Бойко. Санкт-Петербург, 2004.
3. *Жмакин, А.П.* Архитектура ЭВМ / А.П. Жмакин. Санкт-Петербург, 2006.
4. *Калиш, Г.Г.* Основы вычислительной техники / Г.Г. Калашин. М., 2000.
5. *Костин, Е.А.* Структура и функционирование ЭВМ / Е.А. Костин. М., 1991.
6. *Кузин, А.В.* Микропроцессорная техника / А.В. Кузин, М.А. Жаворонков. М. Академия, 2008.
7. *Лыскова, В.Ю.* Логика в информатике: метод. пособие / В.Ю. Лыскова, Е.А. Ракитина. М., 2004.
8. *Максимов, Н.В.* Архитектура ЭВМ и вычислительных систем / Н.В. Максимов, Т.Л. Партыка. М., 2008.
9. *Новожилов, О.П.* Основы микропроцессорной техники. / О.П. Новожилов. М., 2007.
10. *Пескова, С.А.* Архитектура ЭВМ / С.А. Пескова, А.В. Кузин /М., 2006.
11. *Семененко, В.А.* Информатика и вычислительная техника : учеб. пособие / В.А. Семененко, Э.К. Скуратович. М., 2003.
12. *Степанов, А.Н.* Архитектура вычислительных систем и компьютерных сетей: учеб. пособие / А.Н Степанов. Санкт-Петербург, 2007.
13. *Таненбаум, Э.* Архитектура компьютера / Э. Таненбаум. Санкт-Петербург, 2002.
14. *Цилькер, Б.Я.* Организация ЭВМ и систем: учебник для вузов / Б.Я. Цилькер, С.А. Орлов. Санкт-Петербург, 2004.
15. *Юров, В.И.* ASSEMBLER 2-е издание учебник для вузов / В.И. Юров. Санкт-Петербург, 2007.